

2025 IEEE CICC Review

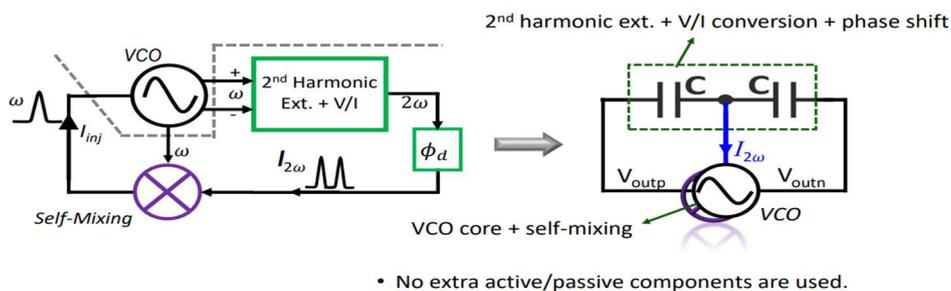
고려대학교 전기전자공학부 석사과정 심승우

Topic : Wireless

이번 2025 IEEE CICC 에서는 wireless 관련 세션이 총 3개 열렸고, 저는 그 중 세션 3, 8, 22를 맡아 리뷰하게 되었습니다. Session 3에서는 VCO 및 PA 논문 각 1편씩, Session 8과 Session 22에서는 각각 1편씩 총 4편의 논문을 중심으로 wireless circuit의 최신기술동향에 대해 살펴보겠습니다.

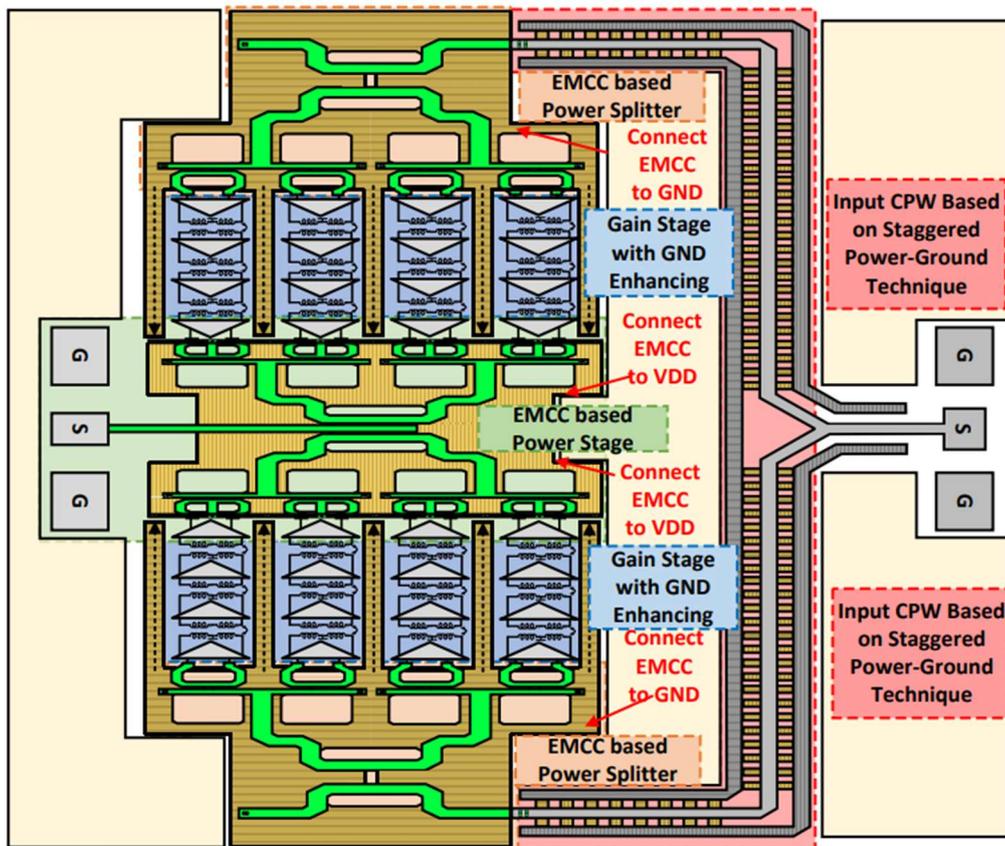
Session 3 Voltage Controlled Oscillators and Power Amplifiers

#3-2 본 논문은 University of British Columbia에서 발표한 것으로, 2nd harmonic self-injection 기법을 이용한 LC VCO를 설계한 연구이다. 최근 VCO 분야에서는 flicker noise upconversion을 억제하여 $1/f^3$ phase noise corner를 낮추는 방향으로 연구가 집중되고 있으며, 특히 2nd harmonic를 활용한 class-F 기반 topology들이 주목받고 있다. 제안된 구조는 외부 reference 없이 oscillator 내부에서 발생하는 2차 고조파를 capacitor bank를 이용해 capacitive averaging, V/I conversion, 그리고 위상 지연(ϕ_d) 처리한 후, 이를 cross-coupled pair의 self-mixing을 통해 fundamental 주파수로 변환하여 injection한다. 전체 self-injection 경로는 기존 VCO 코어 내의 capacitor bank를 재활용하여 구현되며, 별도의 active 또는 passive 소자 없이 완전히 on-chip으로 구성된다. 65nm bulk CMOS공정으로 설계된 chip은 4.6-6GHz의 주파수 범위에서 동작하며, 10MHz offset 기준 phase noise -141.3dBc/Hz, FoM 193dB, $1/f^3$ corner는 5-35kHz로, 현재까지 발표된 CMOS VCO 중 최고 수준의 flicker noise 억제 성능을 달성하였다.



[그림1] "3.2. A 4.6-6GHz Self-Injection LC Oscillator Exploiting 2nd Harmonic Extraction and Self-Mixing to Achieve 5-35kHz $1/f^3$ Phase Noise Corner and 201dB FoM_T" 구조

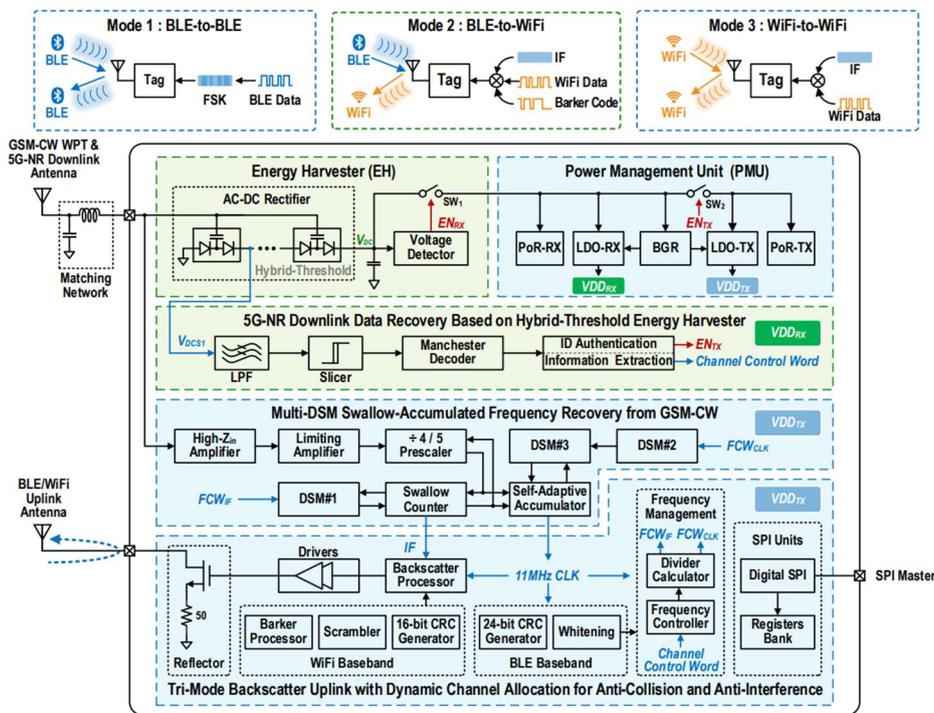
#3-3 본 논문은 Tsinghua University에서 발표된 연구로, 28nm bulk CMOS 공정을 사용해 D-band에서 동작하는 16-way Power Amplifier를 설계한 것이다. D-band와 같은 고주파 대역에서는 high path loss로 인해 높은 출력 전력이 필수적이며, 이를 위해 다수의 PA 코어를 결합하는 power combining 구조가 핵심 기술로 주목받고 있다. 본 논문에서는 기존 transmission line 또는 transformer 기반 구조에서 발생하는 insertion loss, 낮은 common-mode rejection, 그리고 layout 비대칭 문제를 해결하기 위해, EMCC (Enhanced Magnetic Coupling Cavity) 기반의 새로운 power combining 구조를 제안하였다. EMCC는 상하 두꺼운 메탈 층 사이의 수직 자기 결합을 활용하여 전류를 효율적으로 결합하며, cavity 중심의 virtual open 구조를 통해 신호 경로 간 isolation을 극대화하고 power leakage를 최소화한다. 입력 및 출력에는 EMCC 기반 power splitter와 staggered power-ground CPW 기법을 적용하여 전원 분배 효율을 높였고, 전체 구조는 2-stage로 구성되어 16개의 differential path를 고르게 결합할 수 있도록 설계되었다. 모든 전류 경로는 두꺼운 메탈을 따라 형성되어 D-band에서 발생하기 쉬운 전도 손실을 최소화하였다. 그 결과, 본 회로는 104–132GHz 대역에서 21.2 dBm의 출력 포화 전력(Psat), 16.6 dBm의 OP1dB이 측정되어 28nm bulk CMOS 공정을 이용한 회로중에서 최고성능을 달성하였다.



[그림2] "3.3. A 104-to-132 GHz 16-way Power Amplifier Using Enhanced Magnetic Coupling Cavity Achieving 21.2 dBm Output Power in 28nm Bulk CMOS" 스케메틱

Session 8 Advancements in Low-Power Wireless Technologies

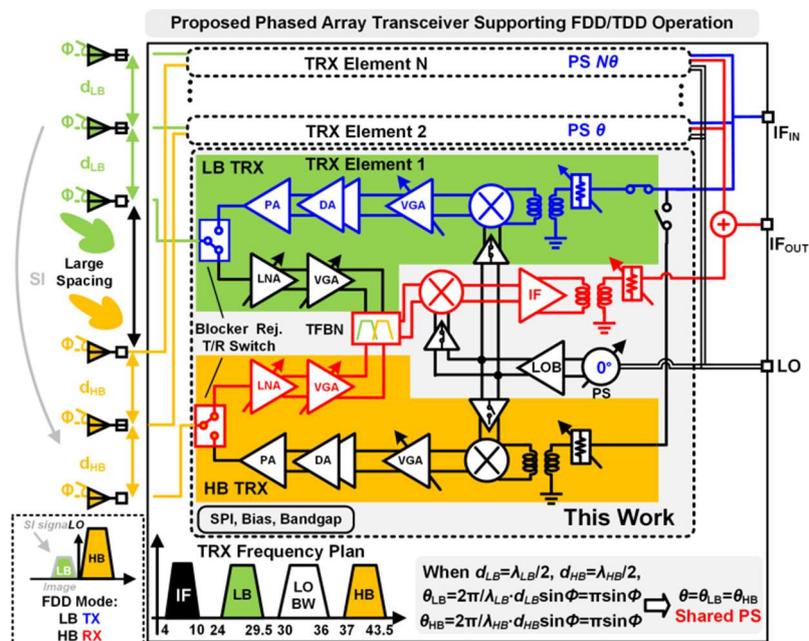
#8-2 본 논문은 Zhejiang University에서 발표된 것으로, 외부 crystal oscillator 없이 완전한 on-chip 방식으로 동작하는 battery-free IoT tag를 설계한 연구이다. 기존 BLE, WiFi, LTE 기반 IoT 태그는 mW급 전력과 crystal oscillator를 필요로 하여 비용, 부피, 수명 측면에서 제약이 있었다. 특히, 스마트폰과의 호환성을 위해서는 낮은 전력 소모뿐 아니라 빠른 주파수 전환과 다중 채널 대응이 필수적이다. 본 논문은 스마트폰 GSM900 대역과 호환되는 902-928MHz GSM-CW 신호를 사용하여 무선 전력 전송(WPT)을 수행하며, multi-DSM 및 swallow-accumulated 구조를 통해 GSM-CW로부터 IF 및 11MHz clock을 복원하기에 외부 oscillator나 calibration 없이도 동작 가능하다. 또한, 5G-NR 신호를 활용하여 ID 인증 및 채널 제어 명령을 수신하고, 이후 BLE-to-BLE, BLE-to-WiFi, WiFi-to-WiFi의 tri-mode backscatter uplink를 지원한다. 최대 384개 채널에서 동작하며, 빠른 frequency hopping과 FDMA 기반 multi-tag collision-free 통신이 가능하다. 65nm bulk CMOS 공정으로 fully on chip으로 설계된 회로는 측정 결과, 최대 10.5m 거리에서 작동 가능하며, 전력 소모는 110 μ W 이하로 기존 passive 태그 대비 매우 낮다. 이는 스마트폰과의 완전한 호환성과 저전력 동작을 동시에 달성한 최초의 crystal-less passive IoT 태그로, ultra-low-power IoT 플랫폼의 새로운 가능성을 제시한 연구로 평가된다



[그림3] "8.2. A Passive Crystal-Less Tag Demonstrating Battery-Free GSMCW/5G-NR Downlink and BLE-to-BLE/BLE-to-WiFi/WiFi-to-WiFi Multi Channel-Hopping Uplink with Smartphones" 블록다이 어그램

Session 22 High Performance Transceivers

#22-4 본 논문은 Southeast University에서 발표된 연구로, 24–29.5GHz 및 38–43.5GHz를 모두 지원하는 compact한 위상 배열 트랜시버 프론트엔드를 설계하였다. 차세대 5G/6G 시스템에서는 서로 다른 주파수 대역을 동적으로 운용해야 하므로, 다중 대역(mmWave) 트랜시버의 통합 설계가 필수적이다. 그러나 기존 방식은 각 대역별로 송수신 회로를 별도로 구성하거나, 광대역 LO 체인을 사용하는 방식이 일반적이었으며, 이는 회로 면적 증가, 전력 소모, LO 설계 복잡성 등의 문제로 이어져왔다. 이러한 한계를 해결하기 위해, 본 논문은 공통 LO 구조, 벡터 합산 위상 시프터 공유, Transformer-Based Frequency Band-selection Network (TFBN), 광대역 IF 증폭기 등을 도입하여, TDD/FDD 모드 모두에서 reconfigurable한 통합형 트랜시버 구조를 제안하였다. 또한, self-interference를 억제하기 위한 on-chip T/R 스위치 및 TFBN, 고선형 wideband IF amp 등의 회로 기법도 도입되었다. 65nm CMOS 공정으로 설계된 회로는 4–10GHz의 넓은 IF 대역폭, 1°의 위상 오차, 수신부는 25.1–30.5GHz 및 37.8–43.6GHz 대역에서 각각 21/20 dB의 이득과 최소 5.2/6.3 dB의 NF, -17 dBm의 IP1dB를 달성하였다. 송신부는 42.3/27.2 dB의 peak gain, 17.2/16 dBm의 Psat, 최대 14.3%/10.8% PAE를 기록했으며, 64-QAM 변조 기준 26–41GHz 전 대역에서 평균 6.3–10.1 dBm의 출력과 28 dBc 이상의 ACPR을 달성하였다. 이는 다중 대역을 지원하는 mmWave 트랜시버 구현에서 집적도, 다중 동작 모드 지원, 위상 정확도를 모두 만족시키는 구조로, 차세대 5G/6G 통신 시스템 설계의 방향성을 제시한 연구이다.



[그림4] "A Compact Reconfigurable 24-29.5/38-43.5GHz Phased Array Transceiver Front-End with Self-Interference Rejection and Wideband IF Supporting TDD/FDD Operation" 블록다이어그램

저자정보



심승우 석사과정 대학원생

- 소속 : 고려대학교 전기전자공학과
- 연구분야 : mm-Wave IC design
- 이메일 : lisang@korea.ac.kr
- 홈페이지 : <https://arfsi.korea.ac.kr>

2025 IEEE CICC Review

단국대학교 파운드리공학과 석사과정 조혁준

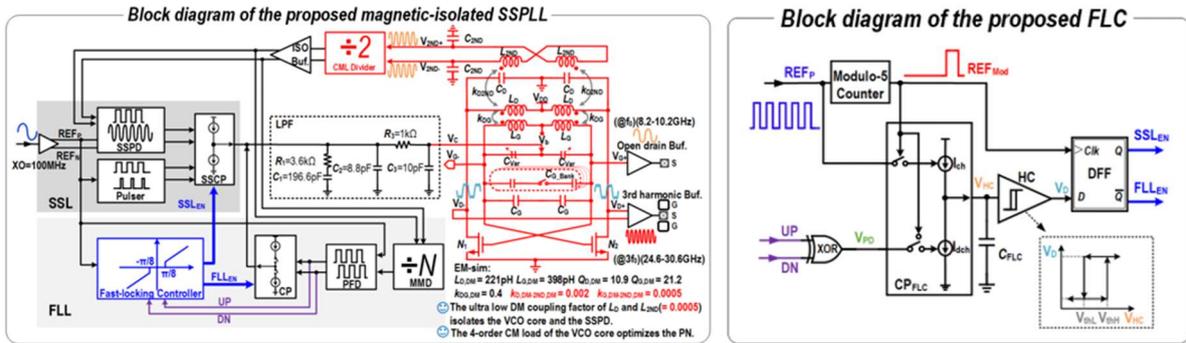
Session 34 Design Techniques for RF/mmWave CMOS Phased-Locked Loop

Session 34에서는 Fractional-N 기반의 PLL 4편과 Sub-Sampling 기반의 PLL 3편, 총 7편의 논문이 발표되었다. 최근 PLL 분야는 3GPP 프로토콜에 따라 256-QAM 변조 시 EVM 3.5% 이하를 만족하기 위해 LO의 rms jitter는 100fs 이하, Reference Spur는 -60dBc 이하로 요구되며, 이에 따라 전력 소모를 고려한 50fs 이하의 ultralow jitter와 -60dBc 이하의 REF spur 달성을 목표로 한 연구가 활발히 진행되고 있다. 본 리뷰에서는 이러한 흐름을 반영하여, ultralow jitter 성능을 위한 Sub-Sampling PLL과 Fractional-N PLL, 그리고 -60dBc 이하의 REF Spur 개선을 위한 Sub-Sampling PLL 관련 논문 총 3편을 중심으로 살펴보고자 한다.

#34-5 본 논문은 중국 난팡과기대학교에서 발표한 논문으로, 기존 SSPLL 구조에서 발생하는 REF Spur 및 락킹 시간 지연 문제를 해결하기 위한 Magnetic-isolated SSPLL과 Fast-locking Loop를 제안한다. 그림 1은 REF Spur 성능을 향상시키기 위해 고안된 기존의 PD 구조들과 본 논문에서 제안한 PD 구조를 보여준다. [1]은 Dummy Sampling Path를 통해 일정한 Capacitive load를 부여하여 BFSK 효과를 억제하였으나, 경로 간 mismatch로 인한 REF Spur 저감 한계가 존재한다. [2]는 트랜지스터를 사용하여 VCO의 간섭을 차단하지만, parasitic cap으로 인한 REF Spur가 악화되는 문제가 발생한다. 제안된 구조는 Magnetic-Isolated Sampling 방식으로 VCO의 CM 성분만 샘플링하고 DM 성분과 효과적으로 분리함으로써 REF Spur를 효과적으로 저감하였다. 그림 2는 제안된 miSSPLL 구조와 FLC 구조를 보여준다. miSSPLL 구조는 subsampling loop, Fast-locking loop, Class-F23 VCO로 구성되어 있으며, 4차 공진 탱크를 통해 Flicker Noise에 의한 위상 잡음도 함께 억제할 수 있도록 설계되었다. FLL은 데드존을 $\pm\pi/8$ 로 축소시켜 락킹 시간 단축과 견고성 향상을 동시에 달성하며, 오프칩 보정 없이도 주파수 오차를 지속적으로 교정할 수 있다. 이를 통해 제안된 miSSPLL은 공정 기반에서 64.9fs의 지터와 -69.1dBc 의 REF Spur, $3.6\mu\text{s}$ 이하의 빠른 락킹 시간을 달성하였다.

SSPD with dummy sampler [1]	Isolated SSPD [2]	Proposed magnetic-isolated SSPD
<p>😊 the VCO with a constant total capacitor of $C + C_s$</p> <p>☹️ the main and dummy paths with mismatch in practice</p>	<p>😊 VCO core is isolated by M_i</p> <p>☹️ introduces trade off between the REF spur and PN</p>	<p>😊 VCO is isolated by the TF through the transformer coupling</p> <p>😊 CM loading variation does not affect DM frequency</p> <p>😊 the CM loading improves the VCO's PN</p>
<p>REF spur:</p> $SP_{BFSK} \approx 20 \log_{10} \left[\sin(\pi \cdot D_{REF}) \cdot \frac{N}{2\pi} \cdot \frac{C_s}{C} \cdot A_c \cdot \sqrt{\frac{2}{C_s}} \right]$	<p>REF spur:</p> $SP_{BFSK} \approx 20 \log_{10} \left[\sin(\pi \cdot D_{REF}) \cdot \frac{N}{2\pi} \cdot \frac{C_s}{C} \cdot \frac{C_p}{C_p + C_s} \right]$	<p>REF spur:</p> $SP_{BFSK} \approx 20 \log_{10} \left[\sin(\pi \cdot D_{REF}) \cdot \frac{N}{2\pi} \cdot \left(\frac{4k_{DM-2ND,DM}^2}{3 + k_{DM-2ND,DM}^2} \cdot \frac{L_{2ND}}{L} \right) \cdot \frac{ \Delta C_s }{C} \right]$

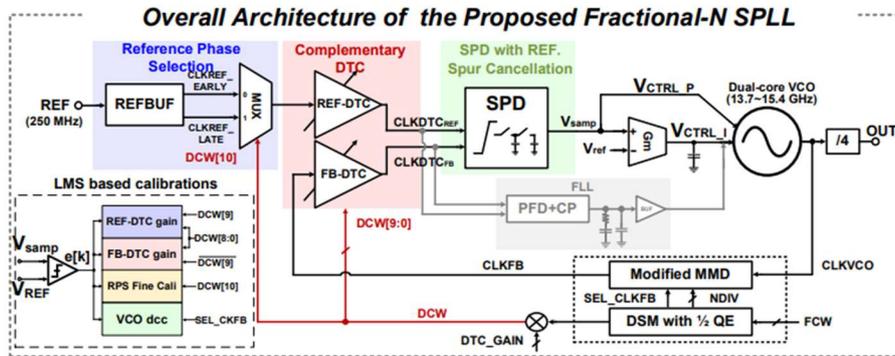
[그림 1] SSPD의 PD 구조 비교



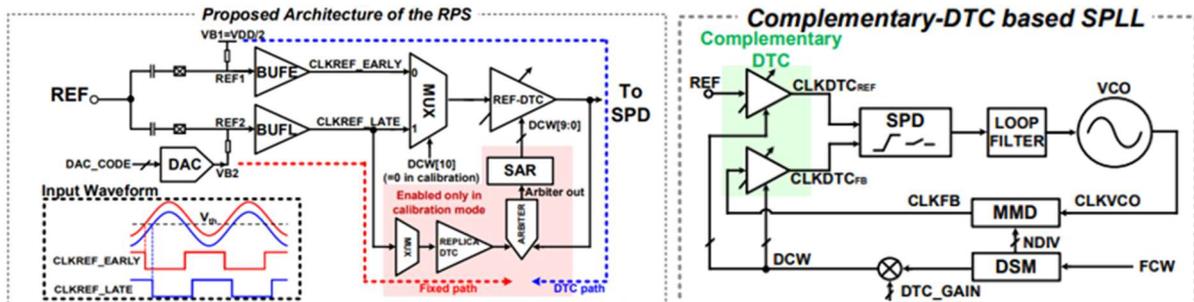
[그림 2] 제안된 miSSPLL과 FLC 구조

#34-6 본 논문은 중국 푸단대학교에서 발표한 논문으로, fractional-N PLL에서 ultralow jitter를 달성하기 위해 Reference-Phase-Selection(RPS) 및 Complementary-DTC(C-DTC) 구조를 도입한 fractional-N PLL 아키텍처를 제안한다. 제안된 구조는 DTC의 INL(비선형성)을 개선하고 잡음 기여도를 감소시키며, Sampling Phase Detector에서 발생하는 전압 간섭을 억제하기 위해 clock-based reference-spur cancellation 또한 함께 적용되었다. 그림 1은 제안된 SPLL 아키텍처를 보여준다. DTC의 범위를 축소하고 지연 오프셋을 제거하기 위해, 총 3단계에 걸쳐 DTC 범위를 기존 [0, 4095]에서 1/8 수준인 [0, 511]로 줄였다. 1단계는 수정된 MMD 및 DSM 구조를 적용하여 DTC 범위를 [0, 2047]로 절반 축소하였다.[3] 2단계는 제안된 RPS를 통해 지연된 참조 위상 중 하나를 선택하고, 이를 coarse delay로 활용함으로써 범위를 [0, 1023]으로 다시 절반 축소하였다. 3번째는 C-DTC를 통해 REF_DTC와 FB-DTC가 각각 양과 음의 위상 오차를 보상하도록 구성함으로써, 각 DTC는 [0, 511] 범위만 필요하게 되고 지연 오프셋도 제거된다. 이를 통해 제안된 구조는 28nm 공정에서 integer-N에서 28.5fs, fractional-N에서 35.4fs(Spur 포함 시 37.5fs)를 기

록하였다. Spur 성능은 in-band -76.6dBc , near-integer -70.3dBc 이며, 기존 최신 fractional-N PLL과 비교해 정수 및 분수 채널 모두에서 낮은 지터와 높은 FoM을 달성하였다.

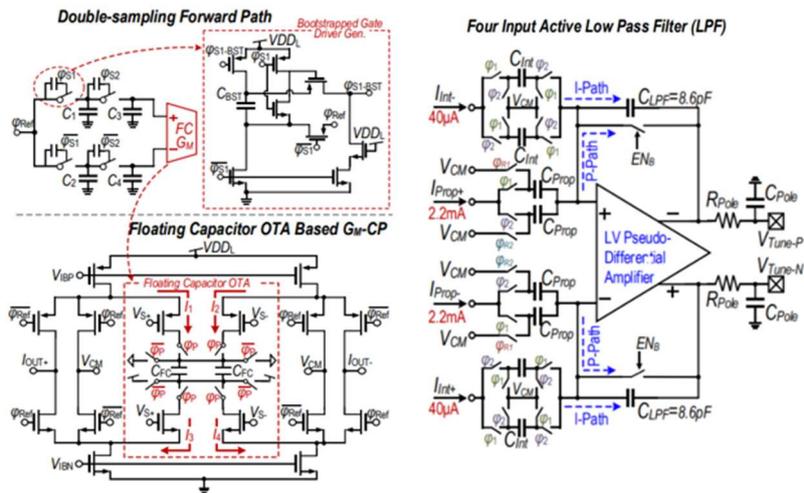


[그림 1] 제안된 Fractional-N SPLL



[그림 2] 제안된 Reference Phase Selection(RPS) 및 Complementary-DTC

#34-7 본 논문은 중국 시안전자과기대학교에서 발표한 논문으로, 저 전압 환경에서 동작하는 Dual-Loop Double-Sampling PLL(LV DLDSPLL) 구조를 제안한다. 기존 DLDSPLL 구조에서는 저 전압 동작으로 인해 Charge Pump(CP)의 mismatch로 인한 REF Spur 악화, 수동형 LPF의 헤드룸 부족에 따른 전류 미러의 채널 길이 변조 효과, Dual-Loop 구조에서의 두 경로 간의 mismatch, 그리고 Double-Sampling 구조의 낮은 Gain과 비선형성 문제 등이 발생한다. 이를 해결하기 본 논문에서는 Bootstrapped 기반의 Double-Sampling Phase Detector를 사용하여 저 전압에서도 MOSFET의 온저항을 감소시켜 샘플링 성능과 노이즈 특성을 개선하였다. 또한, Floating Capacitor(FC) 기반의 G_m -CP를 통해 공통모드 노이즈 억제와 높은 선형성의 G_m 특성을 구현하였다. 수동형 LPF는 4-input 능동형 LPF를 통해 비례 및 적분 전류를 단일 커패시터로 통합하여 KVCO mismatch를 제거하고, 면적 및 전력 효율을 개선하였다. 이를 통해 제안된 LV DLDSPLL은 28nm 공정 기반에서 0.7V에서 안정적으로 동작하며 1kHz~100MHz 대역에서 통합된 RMS 지터는 45.4fs, FoM은 -255.6 dB 의 성능을 달성하였으며, 25GHz 이상의 고속 동작에서도 -54.4 dBc 의 스퍼 성능을 유지하였다.



[그림 1] 제안된 Bootstrapped 기반 Double-Sampling Phase Detector, Floating Capacitor 기반 OTA 구조의 G_m -Charge Pump, 그리고 4-input 능동형 저역 통과 필터(Active LPF)

참고문헌

- [1] Gao et al., "A 2.2GHz 7.6mW Sub-Sampling PLL with -126dBc/Hz In-Band Phase Noise and 0.15ps rms Jitter in 0.18 μ m CMOS," ISSCC, pp. 392-393, Feb.2009.
- [2] Z. Yang et al., "A 25.4-to-29.5GHz 10.2mW Isolated Sub-Sampling PLL Achieving -252.9dB Jitter-Power FoM and -63dBc Reference Spur," ISSCC, pp. 270-271, Feb. 2019
- [3] W. Wu, et al., "A 14-nm Ultra-Low Jitter Fractional-N PLL Using a DTC Range Reduction Technique and a Reconfigurable Dual-Core VCO," JSSC, vol. 56, no. 12, Dec. 2021

저자정보



조혁준 석사과정 대학원생

- 소속 : 단국대학교 파운드리공학부
- 연구분야 : Biomedical Circuits
- 이메일 : sdi5236@dankook.ac.kr
- 홈페이지 : <https://sites.google.com/dankook.ac.kr/acs-lab>